

KOREAN PATENT ABSTRACTS

(1) Publication number: 1994 -006707 B1

(2) Patent number: 0081252

(3) Publication Date: July 25, 1994

(4) Application number: 1991-019451

(5) Filing Date: November 1, 1991

(6) Applicant: SAMSUNG ELECTRONICS CO.

(7) Inventor: CHANG, IN-SIK

(8) Int. CI H01L 29/784

(9) Title of Invention: THIN TYPE TRANSISTOR

(10) Abstract:

The electrode structure of source and drain with a thin type transistor is slant to a direction of gate electrode, increases an opening ratio, and minimizes misalignment. The transistor has a gate electrode insulation layer, a channel conductive semiconductor layer, and a source/drain electrode. A slant angle (θ) is described as follows. $\theta = \cos^{-1}(a-b/w')$, wherein $0 < a-b < 6$. A term a is length of longer side of a portion of source/drain electrode overlapping with the gate electrode, and a term b is length of shorter side of said overlapping portion. It is desirable to maintain a width (GW) of gate electrode as $16\mu\text{m}$; a length of upper as $2\mu\text{m}$, and a length of bottom as $6\mu\text{m}$.

BEST AVAILABLE COPY

특1994-0006707

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 29/784

(46) 공고일자 1994년07월25일
(11) 공고번호 특1994-0006707

(21) 출원번호	특1991-0019451	(65) 공개번호	특1993-0011289
(22) 출원일자	1991년11월01일	(43) 공개일자	1993년06월24일
(71) 출원인	삼성전자 주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		
(72) 발명자	장인석 경기도 수원시 장안구 정자동 동신아파트 205동 502호		
(74) 대리인	김원호, 김양오		

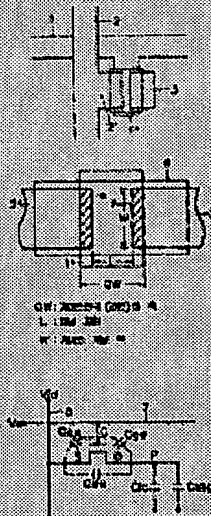
심사관 : 김광국 (특허공보 제33346)

(54) 박막트랜지스터

요약

내용 없음.

도면도



발명자

[발명의 명칭]

박막트랜지스터

[도면의 간단한 설명]

제 1 도는 종래의 박막트랜지스터에 관한 도면으로 (a)도는 종래의 매트릭스 상에서의 박막트랜지스터의 게이트 전극 및 소오스, 드레인 전극의 배치를 보인 개략 설명도, (b)도는 (a)도의 소오스, 드레인 전극부의 부분 확대도, (c)도는 (a)도의 등가회로.

제 2 도는 이 발명에 따른 트랜지스터에 관한 도면으로 (a)도는 소오스, 드레인 전극부에 대한 평면도, (b)도는 소오스 또는 드레인 전극의 단부를 도식화한 도면이다.

[발명의 상세한 설명]

이 발명은 SRAM 및 액정표시장치의 액티브 소자로 이용되는 박막트랜지스터에 관한 것으로, 더욱 상세하게는 미스 얼라인에 의한 불량감소 및 게이트 전극과의 중첩되는 면적을 줄일 수 있게 소오스, 드레인 전

극의 구조를 개선한 박막트랜지스터에 관한 것이다.

박막트랜지스터는 액정표시장치 등에서 화소전극의 선택적 구동을 위해 전기적 스위칭 소자로 사용되는 반도체 소자로서 MOS 트랜지스터의 역스태거드 형태를 갖는 것이 일반적이다.

이 소자는 기판, 예를 들면 유리기판 위에 게이트 전극을 증착 패터닝하고 이 위에 절연층과 채널 형성을 위한 비정질 실리콘층 그리고 신호라인에 연결된 소오스 전극 및 드레인 전극이 패터닝 형성되어 하나의 트랜지스터를 구성한다. 이러한 소자는 매트릭스 상으로 다수 배치된다.

제1(a)도는 종래의 매트릭스 상에서의 박막트랜지스터의 게이트 전극 및 소오스, 드레인 전극의 배치를 보인 개략 설명도이다.

제1(a)도에서, 게이트 라인(1)과 소오스 라인(2)이 서로 겹치는 형태를 하고 드레인 전극(3)이 소오스라인(2)과 이격되게 배치된 형태를 하게 된다.

게이트 라인(1)의 게이트전극(1')과 소오스 또는 드레인 전극(2') (3)간에는 절연층과 반도체층(6)이 개재된다.

소오스, 드레인 전극(2') (3)이 트랜지스터 형성영역에 배치되고 소오스 전극(2')으로부터의 신호는 그 하부에 배치된 채널층 즉, 반도체층(6)을 경유하여 드레인 전극(3)으로 전달되는데 이 채널층의 폭은 소오스, 드레인 전극의 폭에 의해 제한되므로 채널폭은 전극 패턴의 형태에 좌우한다.

이러한 박막트랜지스터(이하 TFT라 한다)의 고유의 문제점을 제1(b)도 및 (c)를 참조하여 지적한다.

제1(b)도는 종래의 소오스, 드레인 전극부의 부분 확대도이다.

제1(b)도에서, 반도체층(6)위에 형성되는 소오스 전극(2')의 단부(e)가 게이트 전극(1')의 길이 방향에 대하여 직각으로 형성된다. 소오스 전극(2')에 이격되게 형성되는 드레인 전극(3)도 그의 단부(f)가 소오스 전극(2')의 단부(e)와 평행하게 상기 소오스 전극(도①)의 단부(e)와 마찬가지로 게이트 전극(1')의 길이 방향에 대하여 수직되게 형성된다.

도면부호 "e"는 채널폭이고 "f"는 채널길이이며 6w는 게이트 전극의 폭이다.

통상 게이트 전극의 폭(6w)이 16 μ m일 경우에 채널길이(L)는 8 μ m정도가 되게 형성되는데, 게이트 전극(1')과 소오스, 드레인 전극(2') (3)이 중첩되는 길이는 미스 얼라인을 고려하여 양쪽으로 약 4 μ m를 허용하게 되어 게이트 전극(1')과 중첩되는 드레인 전극(3)의 면적이 다소 크게 설계된다. 중첩되는 면적(비공전 부분)은 소자특성에 좋지 못한 영향을 미침에도 불구하고, 크게 설계되는 이유는 전극 패턴 형성시 노광장치에서 발생하는 미스 얼라인 때문이다.

제1(c)도는 제1(a)도의 등가회로이다. 도면에서 Cgs, Cgd, Cds는 각각 TFT의 게이트와 소오스전극, 게이트와 드레인 전극, 드레인과 소오스 전극 사이의 기생용량이다. 주사선의 전위(V6)가 ΔV_{gd} 만큼 내려갈 때 화소전극 P점의 전위는 Cgd, 액정용량(Clc) 및 축적용량(Cstg)의 용량 분할에 의해 어느 전압만큼 시프트한다. 이 전압의 크기는

$$\Delta V_{gd} = \frac{\Delta V_g \times C_{gd}}{C_{gd} + C_{lc} + C_{stg}} \quad \text{.....(1)}$$

로 표기된다. 이 전압의 시프트는 비디오 신호의 정복에 상관없이 항상 화소전극 전위를 끌어 내리기 때문에 화소전극에 유지되는 신호는 신호선의 비디오 신호에 대해 식(1)으로 표기된 오프셋 전압(ΔV_{gd})만큼 낮게 된다. 이 오프셋 전압의 강하는 액정표시장치에서 소위 플리커(flicker, 화면의 가물거림) 및 잔상이나 돌입 패턴을 장시간 표시하면 화면이 변화해도 전의 패턴이 지워지지 않는 흔적이 남는 등의 현상의 원인이 된다.

이와 같이 오프셋 전압(ΔV_{gd})은 여러가지 악영향을 미치기 때문에 가급적 이 값을 작게하는 것이 바람직하다. 그런데 오프셋 전압을 줄이기 위해서는 식(1)에서 게이트와 드레인 사이의 기생용량(Cgd)을 줄여야 하겠지만 상술 하였듯이 게이트와 드레인이 중첩되는 면적을 줄이는 데는 한계가 있다.

그러므로 오프셋 전압을 줄이기 위해서는 축적용량(Cstg)을 크게 만들어야 하는 문제가 생긴다.

TFT는 통상 절연 기판상에 증착된 수백 Å의 매우 얇은 반도체 박막을 사용하므로 채널영역에 유기되어있는 전자는 대부분 소오스 또는 드레인 전극에 흡수되게 된다. 따라서 이 경우의 기생용량은 게이트와 드레인 전극간의 겹침용량만이 아니라 채널 영역의 전체 용량의 상당부분을 가해서 고려할 필요가 있기 때문에 기생용량에 대한 문제는 더욱 심각하다. 또 TFT는 논셀프 얼라인(Non self align) 구조를 만들며지는 수가 많아 겹침 용량도 크게 되는 외에 미스 얼라인에 의한 소자 불량률의 원인이 되기도 한다.

이 발명은 상기한 기술적 배경하에서 이루어진 것으로, 그 목적은 채널폭 및 채널길이의 변화없이 V_{gd} 를 줄일 수 있는 박막트랜지스터를 제공하는 것이다.

이 발명의 다른 목적은 소오스, 드레인 전극을 형성할 때 문제시 되었던 미스 얼라인을 최소화할 수 있는 소오스, 드레인 전극 구조를 제시하여 공정 불량을 줄인 박막트랜지스터를 제공하는 것이다.

이와 같은 목적을 달성하기 위한 이 발명은 게이트 전극, 절연층, 채널 전도층인 반도체층, 소오스, 드레인 전극으로 이루어진 박막트랜지스터에 있어서, 상기 반도체층 위에 형성되는 소오스 전극의 단부가 상기 게이트 전극의 길이방향에 대하여 경사각을 갖게 형성되고, 상기 소오스 전극에 이격되게 형성되는 드레인 전극도 그의 단부가 소오스 전극의 단부와 평행하게 상기 소오스 전극의 단부와 마찬가지로 경사각을 유지하면서 형성되는 것을 특징으로 한다.

이하, 이 발명에 따른 박막트랜지스터의 구성 및 적용에 대하여 첨부한 도면을 참조하여 상세히 설명한다.

제2(a)도는 이 발명의 박막트랜지스터의 전극 구조에 대한 개략적인 평면도이다.

제2(a)도에서, 기판 위에 형성된 게이트 전극(8) 위에는 전기적 분리를 위한 도시되지 않은 절연층이 형성되며 이 위에 채널 형성을 위한 전도층인, 예를들면 비정질 실리콘층으로 형성되는 반도체층(9)이 마련된다. 이어서 이 위에는 소오스 전극(S)이 패터 형성되고 이 전극에 소정 거리를 두고 드레인 전극(D)이 형성된다. 반도체층(9)에 형성되는 오믹접촉을 위한 오믹층을 도시되지 않았다.

반도체층(9) 위에 형성되는 소오스 전극(S)의 단부가 게이트 전극(8)의 길이 방향에 대하여 소정각을 이루도록 형성되고, 이 소오스 전극(S)과 이격되게 형성되는 드레인 전극(D)도 소오스 전극(S)의 단부(9)와 대향되는 쪽의 드레인 전극(D)의 단부(h)도 마찬가지로 소오스 전극(S)의 단부(9)의 평행하게 경사각을 유지하면서 형성된다. 채널폭(W)은 종래의 채널폭(W)과 같게 되도록 소오스, 드레인 전극(S, D)이 형성된다.

한편 소오스 및 드레인 전극(S, D)과 게이트 전극(8)이 중첩되는 부분의 긴 변의 길이를 a, 작은 변의 길이를 b라고 하면, 경사각(θ)는 다음과 같은 범위를 갖는다.

$$\theta = \cos^{-1} \frac{a-b}{W}, \text{ 여기서 } 0 < a-b < b$$

이렇게 되면 채널폭을 결정하는 소오스, 드레인 전극의 폭(WL)이 좁아 든다. 이는 제2(b)도를 보면 더욱 명백해진다.

제1(b)도는 이 발명의 전극 구조의 이해를 돕고자 소오스, 드레인 전극의 단부를 도식화한 것이다.

여기서, 종래의 게이트 폭(W)이 되는 소오스, 드레인 전극의 폭(W)은 게이트 길이 방향에 대하여 소오스, 드레인 단부를 θ 만큼 경사지게 형성했을 경우 경사진 전극의 단부 폭은 이 발명의 채널폭(W)이 되고 소오스, 드레인 전극의 폭은 WL가 되어, 결국 소오스, 드레인 전극 폭만이 좁아진다. 즉, $WL = WL - W \cdot \sin \theta$ 가 되어 종래의 채널폭(W)에 비해 이 발명의 채널폭(W)이 좁아들 없어 소오스, 드레인의 폭(WL)만이 $WL - W \cdot \sin \theta$ 만큼 줄어들어 개구율을 향상시키는 효과가 있다.

다시, 제2(a)도에서, 빗금친 사다리꼴의 도형은 소오스, 드레인 전극(S, D)이 게이트 전극(8)과 중첩되는 부분을 나타낸 것이다. 소오스 전극측의 도형(20)은 드레인 전극측의 도형(30)과 합동이다. 그런데 이 발명에서 소오스, 드레인 전극의 폭(WL)이 줄어들기 때문에 드레인 전극측의 도형(30)의 면적 역시 줄어든다. 이 도형의 면적은 오프셋 전압(ΔV_{ds})을 결정하는 변수로 작용한다. 이 명세서의 서두에 발한 식(1)에 의하면 게이트와 드레인 전극이 중첩되는 부분에서 형성되는 기생용량(Cgd)이 감소하면 오프셋 전압이 낮아짐을 알 수 있다.

박막트랜지스터에서 게이트 전극의 폭(W)을 $16 \mu m$ 로 했을 경우에 소오스, 드레인 전극(S, D) 형성시 미스 얼라인을 고려하여 대략 $6 \sim 10 \mu m$ 정도의 채널 길이(L)를 형성한다고 했을 때 예를 들면 드레인 전극 폭의 중첩부분을 나타낸 사다리꼴의 도형(30)에서, 밑면(c)의 길이는 $2 \mu m$, 밑면(D)의 길이는 $6 \mu m$ 정도가 되게 θ 의 경사각을 유지하는 것이 바람직하다.

이와 같이 이 발명의 박막트랜지스터의 소오스와 드레인의 전극 구조를 게이트 전극의 길이 방향에 대하여 경사지게 형성하여 개구율을 향상하고 채널폭 및 채널길이의 변화없이 V_{ds} 를 줄일 수 있을 뿐만 아니라 미스 얼라인을 최소화할 수 있다.

(57) 청구의 범위

청구항 1

게이트 전극, 절연층, 채널 전도층인 반도체층, 소오스, 드레인 전극으로 이루어진 박막트랜지스터에 있어서, 상기 반도체층 상에 형성되는 소오스 전극의 단부가 상기 게이트 전극의 길이 방향에 대하여 경사각을 갖게 형성되고, 상기 소오스 전극에 이격되게 형성되는 드레인 전극도 그의 단부가 소오스 전극의 단부와 평행하게 상기 소오스 전극의 단부와 마찬가지로 경사각을 유지하면서 형성되는 것을 특징으로 하는 박막트랜지스터.

청구항 2

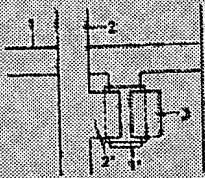
제1항에 있어서, 상기 경사각(θ)는 상기 소오스 및 드레인 전극이 중첩되는 긴 변의 길이를 a, 작은 변의 길이를 b라고 할 때,

$$\theta = \cos^{-1} \frac{a-b}{W}, \text{ 여기서 } 0 < a-b < b$$

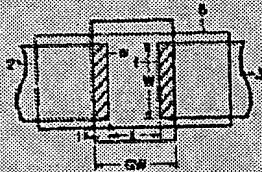
를 만족하도록 설정되는 것을 특징으로 하는 박막트랜지스터.

도면

EB1-J

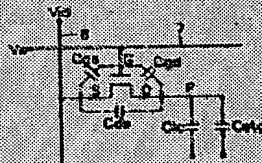


EB1-U

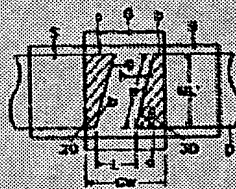


GW: 300000 (200) g
L: 100 mm
W: 200 mm

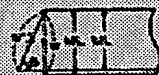
EB1-D



EB2-J



EB2-U



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.